

## 6. Mémoires de données et de programme - fonctions, limitations. Principes de fonctionnement, architecture interne, paramètres. Méthodes d'accès. Mémoires à accès aléatoire et séquentiel, utilisation. Espace adressable - décodage, gestion de l'accès (suite)

### 6.2.2. Espace adressable - décodage, gestion de l'accès (suite)

Dans le développement actuel des ordinateurs les deux notions, présentées en haut – la mémoire de cache et le Dispositif à disques durs se recouvrent de plus en plus dans sa destination fonctionnelle. Leur tâche principale est la même – assurer une rapidité pour l'accès les données, conformément avec le processeur central. La différence est seulement dans le moyen d'accès - avec la formation de l'adresse pour la mémoire de cache ou un choix automatique pour les dispositifs à disques durs.

➤ **La mémoire de cache** est dédiée de sauvegarder transitoirement les données, les instructions, les adresses dans le processeur central. Elle est d'une très haute rapidité - c'est la mémoire avec la plus haute rapidité dans toute la mémoire de système de l'ordinateur. Technologiquement elle se réalise comme mémoire de registre avec adressage direct du type DRAM. Cette mémoire de cache stocke l'information nécessaire pour le fonctionnement du processeur central de plusieurs pas successifs de l'algorithme de calcul dans tout moment de fonctionnement de l'ordinateur.

➤ **La mémoire extérieur de tampon (exécutée par le dispositif de disques durs)** est une mémoire non-adressable, qui exécute un rôle analogique, mais avec la génération automatique de l'adresse des données. L'exemple typique pour ce type de mémoire est la *mémoire de pile (stack)*. Chez cette mémoire les opérations de lire/écrire se réalisent seulement dans la cellule, qui est au sommet de la pile - *Top of Stack(TOS)*. Le contenu du *TOS* change automatiquement après toute opération, de la manière suivante :

- ✓ Pendant l'opération d'écrire toutes les données se déplacent à l'intérieur – en bas (*PUSH*), en même temps qu'au sommet est enregistré le mot nouveau;
- ✓ Pendant l'opération de lire toutes les données se déplacent en haut (*PULL*) tout en « repoussant » le contenu de la cellule du sommet – *TOS*, vers le bus des données.

#### ➤ **La mémoire opérationnelle**

La longueur du mot lit dans la mémoire opérationnelle peut être régulé par le nombre des entrées  $A_i$ , liées au bus commun d'adresses. Pour augmenter l'espace d'adresses peut être utilisée l'entrée *CS (Chip Select)*. Par elle on contrôle la choix d'une partie de la mémoire opérationnelle configurée. Ainsi on reçoit un exemple de 2 kbytes avec une organisation de 2048 mots (words) de 1byte chacun.

Analogiquement on peut configurer les mémoires mortes et les mémoires opérationnelles à différentes capacitance et organisation des objets adressables: *byte, mot, champ*.

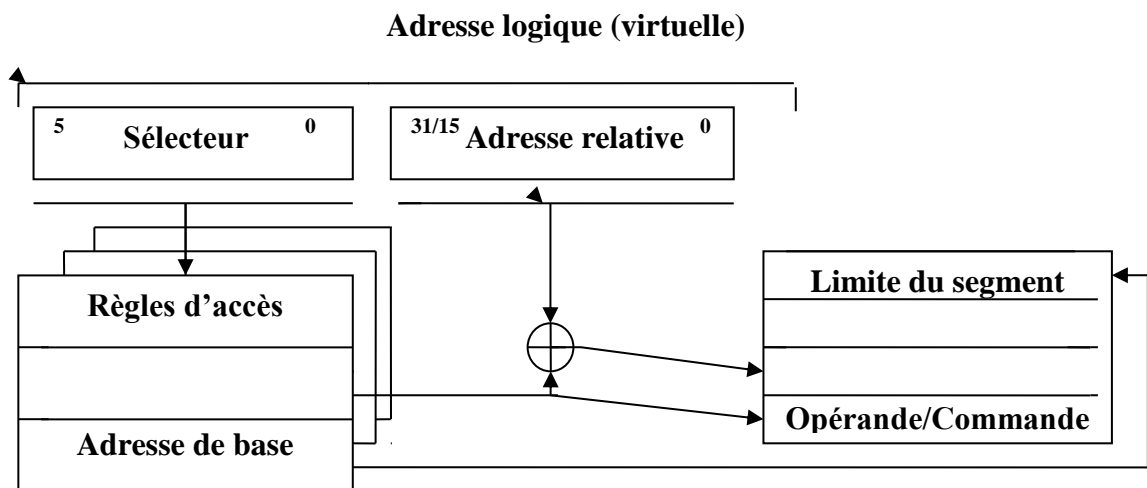
Dans ce sens dans l'organisation de la *mémoire primaire* peut être organisé un espace adressable désiré, qui se définit par la mesure du bus d'adresses et le moyen de formation de l'adresse physique. Cet espace adressable se divise entre les différentes parties par destination. Par exemple, chez les processeurs *P6* on opère avec une capacitance de 64 Gbytes, où tout byte a son adresse

physique de 9 bits: de l'adresse 000000000<sub>h</sub> à l'adresse FFFFFFFF<sub>h</sub>. Dans une telle mémoire puissent être stockés *bytes* de 8 bits, *mots*(W) de 16 bits, *double mots*(DW) de 32 bits, *quadruple mots*(FW) de 64 bits. Les mots occupent 2 bytes proches, respectivement 4 bytes (pour DW) et 8 bytes (pour FW). Dans cette organisation le byte de plus petit poids est situé dans une cellule d'une adresse plus petite. Pour l'adresse du mot on utilise l'adresse du byte de plus petit poids.

➤ **Gestion de l'accès en segments de la mémoire. Décodage de l'adresse**

La gestion de l'accès en segments de la mémoire - ou l'organisation en segments de la mémoire - se réalise en divisant l'espace adressable en segments séparés, caractérisés par des attributs destinés: disposition, dimension, type, protection. La dimension de tout segment peut être différente. Par exemple, dans la mémoire de système avec le processeur central type P6, peuvent être maintenus jusqu'à 8 192 segments en dimension de 4 Gbytes chacun, ce qui assure la possibilité d'utiliser jusqu'à 64 Tbytes mémoire virtuelle.

L'adressage dans l'organisation en segments est montré sur la Figure 20:



**Figure 20. Adressage pour l'organisation en segments**

Pour l'accès aux cellules de la mémoire segmentée est utilisée une adresse logique composée, formée de:

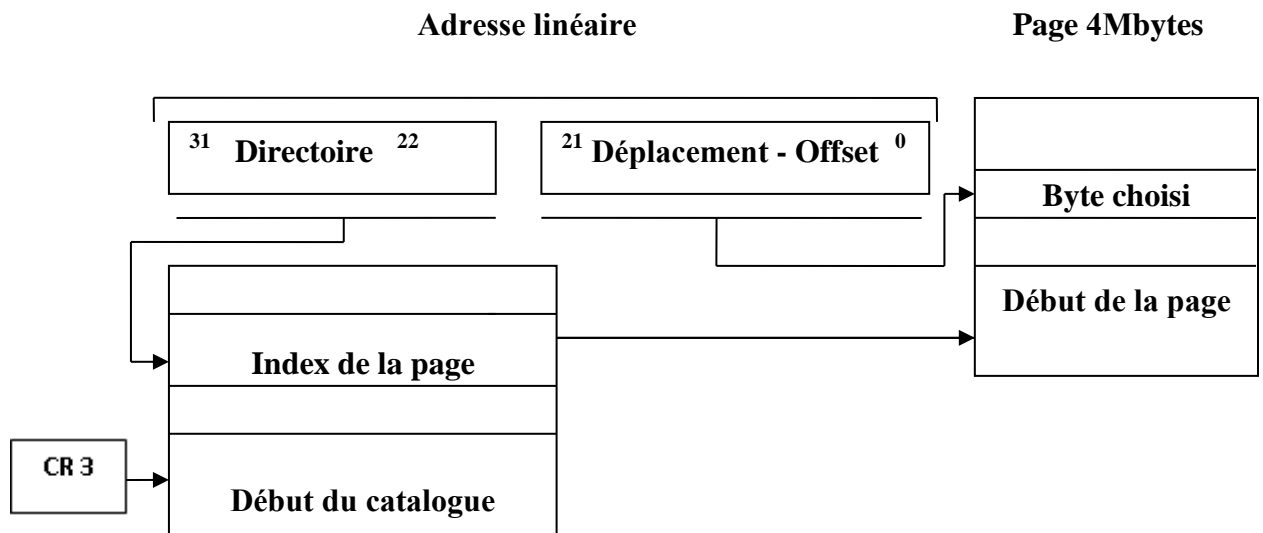
- sélecteur, donnant l'adresse de base - le début du segment, et
- adresse relative de la cellule - byte ou mot dans le segment.

Les paramètres du segment sont donnés avec une structure de 8 bytes, appelée *descripteur*, composé de:

- limite du segment,
- adresse de base, et
- règles d'accès à ce segment.

➤ **Gestion de l'accès en pages de la mémoire. Décodage de l'adresse**

La gestion de l'accès en pages de la mémoire- ou l'organisation en pages de la mémoire – la divise en blocs informatiques, égaux en volume, qui se caractérisent avec leur adresse initiale de la page. Les adresses pour ce type de gestion de la mémoire sont gardées dans la mémoire des pages. L'accès sur les pages s'exécute par la partie la plus significative (la plus gauche) de l'adresse virtuelle et après cela par l'adressage associé (adjoint) est définie l'adresse physique d'une cellule de cette page. Chez le processeur central du type *P6*, la dimension des pages est strictement fixée et peut être 4kbytes, 2Mbytes, 4Mbytes, etc. Ici on doit introduire la notion *Catalogue* (ou *Folder*). C'est une liste de fichiers, unis dans un groupe. Elle est composée du début du catalogue (il est produit du *registre de service pour gestion 3 - CR3*) et de l'index de la page. Sauf cela cette liste dépend aussi de la particularité des microprocesseurs *Intel*, dans lesquels sont définis quatre niveaux de privilèges – *Privilege Level (PL)*. Pour cela quatre piles (stacks) sont organisées, chacune d'elles servant le niveau correspondant, comme il est montré sur la Figure 21:



**Figure 21. Adressage pour l'organisation en pages**