

2. Processeurs/microprocesseurs - architecture interne. UC de 8, 16, 32 bits - Intel, Motorola/Freescale, ARM. Bus internes et bus systèmes. Bus standard - IBM PC&PC/AT, MULTIBUS, VME; caractéristiques et comparaison des performances. Chemin de l'information et échanges; arbitrage des opérations; interruptions (*6 heures*)

2.1. Processeurs/microprocesseurs - architecture interne/ :

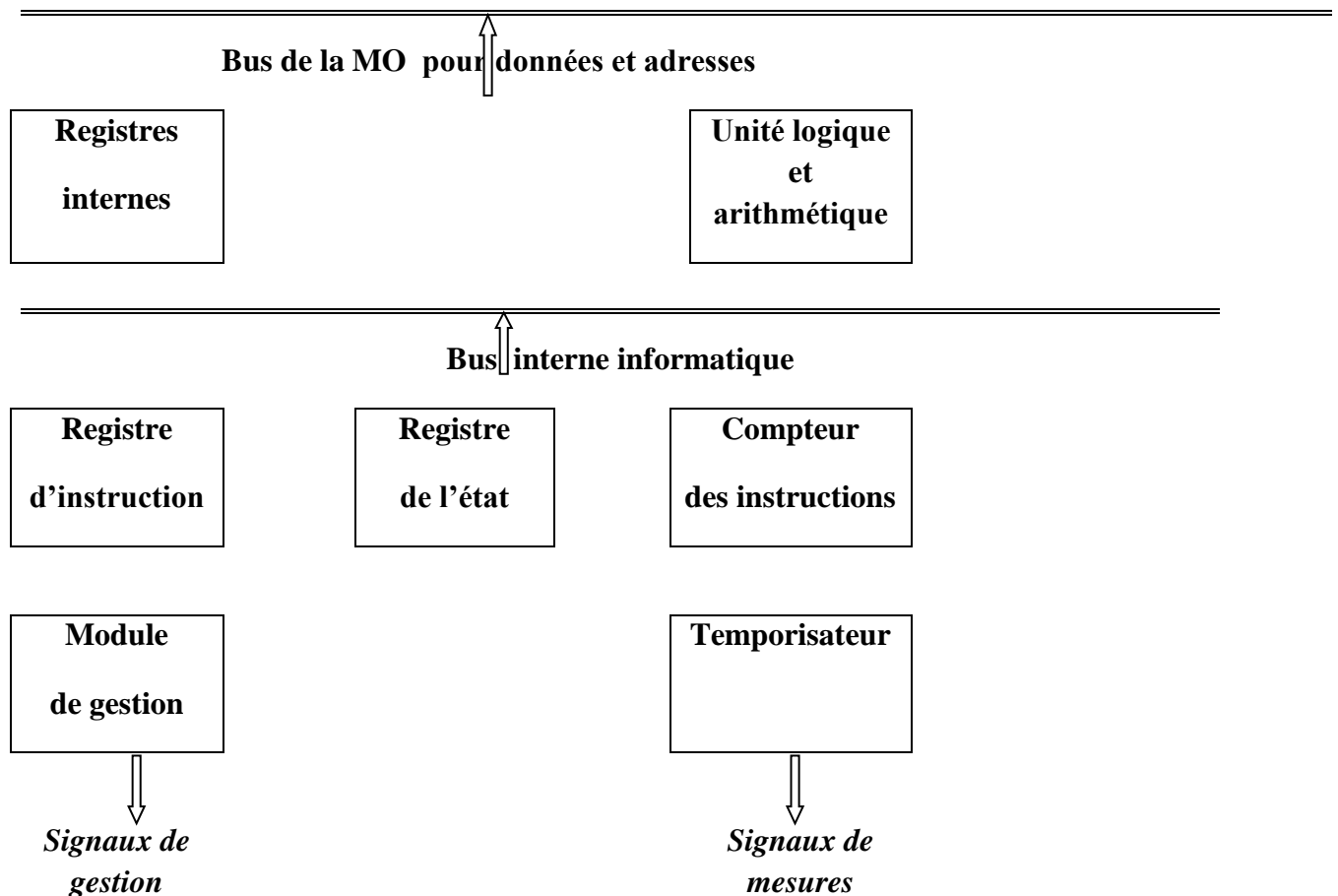


Figure 3. Architecture interne du processeur / blocs fonctionnels du noyau du processeur

- **ARM – Advanced Risk Machine, jusqu’à 1990 Accorn RISC (Reduced Instruction Set Computers) machines, apparu au marché en 1983, avec le microprocesseur 6502. Actuellement ces processeurs représentent 32 bits de données et 32 bits d’adresses;**
- **AVR – Advanced Virtual RISC machines (*A-Alf + V-Vegard + R-RISC technologie*) : Elles apparaissent en 1996 de la compagnie Atmel sur la base du microprocesseur 8051, construit sur l’architecture de Harward:**

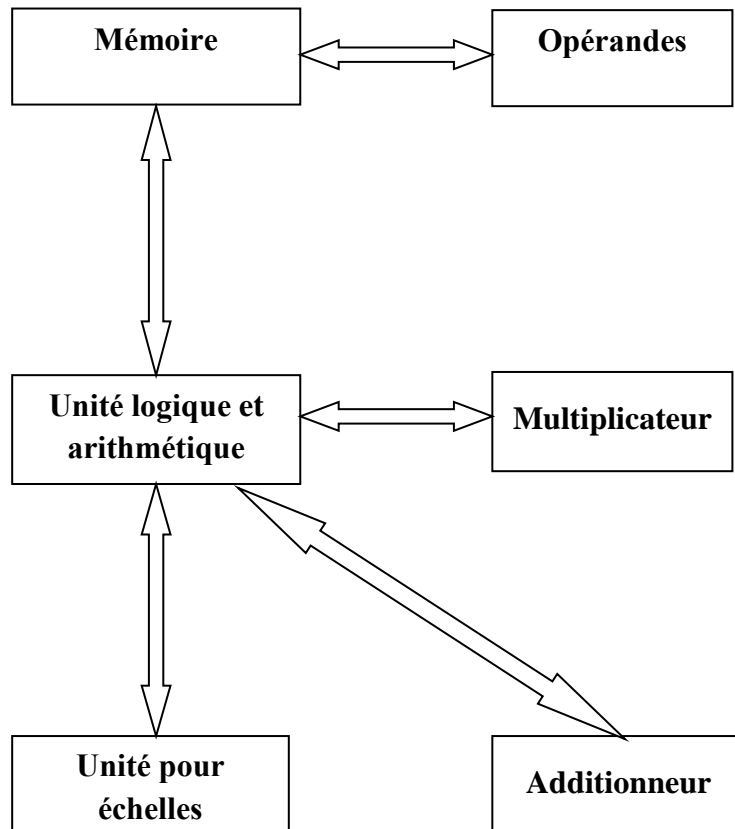


Figure 4. Architecture interne de Harvard du processeur

- CISC processeurs /24/
- RISC processeurs
- Particularités de l'architecture des processeurs actuels

2.2. Bus internes et bus systèmes. Bus standard - IBM PC&PC/AT, MULTIBUS, VME; caractéristiques et comparaison des performances :

2.2.1. Bus internes: I 1 - Bus interne U Centrale-MO

I 2 – Bus interne U de canal-U Centrale;

2.2.2 Bus systèmes: Trois types de base

- Bus de données : multiple à 8 bits – 1 byte et sert de transporter sur les deux directions - vers l'UC et de l'UC les données traités en tout moment ;
- Bus des adresses : dans un ordinateur contemporain ce bus est de 20 bits, avec lequel on puisse adresser au maximum de 1Mbyte. Ce bus des adresses est géré directement par l'UC

*où par le module de l'accès direct de mémoire – ADM (DMA-Direct Memory Access)=
Ordinairement ce bus est élargi jusqu'à 36 points;*

- *Bus de gestion : il est composé des signaux nécessaires de gestion, réalisant le fonctionnement total et sans conflit de l'ordinateur.*

Actuellement sous la notion “*bus systèmes*” on comprend le bus (l'interface), comprenant le bus de données + le bus des adresses + le bus de gestion pour un type standardisé d'interface. Les bus systèmes sont les ainsi nommés **SLOTS**. Tout ordinateur contient de 2 à 6 “slots”.

Standards des bus systèmes : /59/

- **ISA**
 - **EISA**
 - **MCA**
- } logiciel supplémentaire pour l'élargissement du **BIOS** avec le **PLUG & PLAY BIOS**
- **VLB = VESA-LB**
 - **PCI** – avec un BIOS élargi de **PLUG & PLAY BIOS**
 - **PICMG**
 - **IPCI**.

2.3. Chemin de l'information et échanges; arbitrage des opérations:

- **Le chemin de l'information et échanges** entre deux unités s'exécute avec un transfert parallèle (ordinairement 8 bits) où un transfert en série (1 bit) sur les bus internes et externes /65/;

2.3.1. Transfert parallèle:

✚ Standards du transfert parallèle

- ✓ **CENTRONICS**
- ✓ **IEEE 1248**

✚ Adaptateur parallèle d'interface:

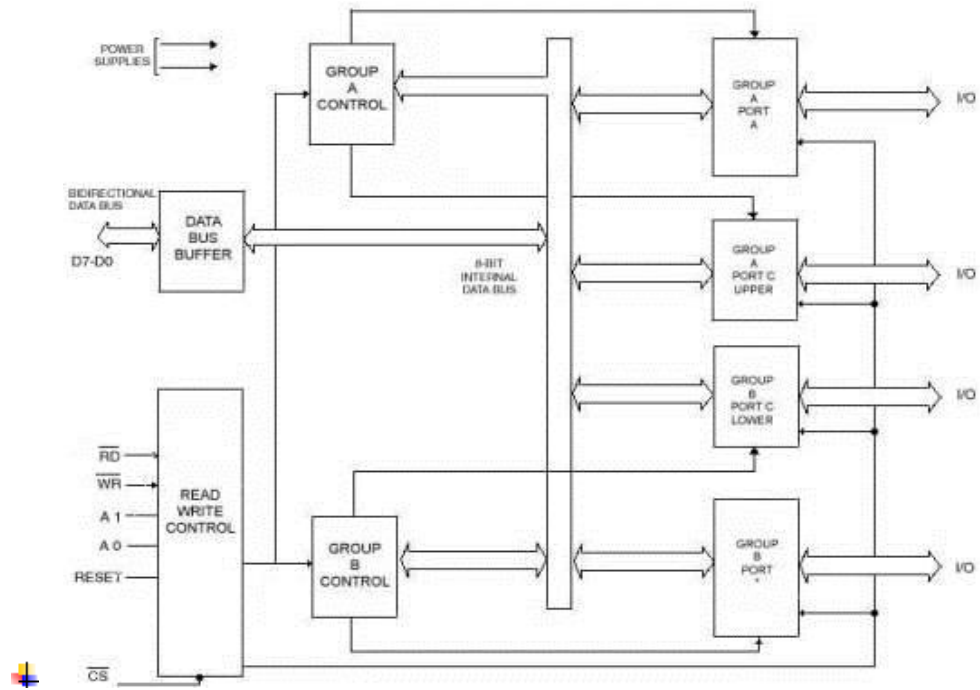


Figure 5. Bloc-diagramme du circuit intégré I 8255A

2.3.2. Transfert en série:

✚ Standards du transfert en série :

- ✓ RS 232 ;
- ✓ RS 422 ;
- ✓ RS 423 ;
- ✓ RS 485 ;
- ✓ TTY (TeleTYpe) ;
- ✓ IEEE1394 ;
- ✓ USB.

✚ Adaptateur en série d'interface:

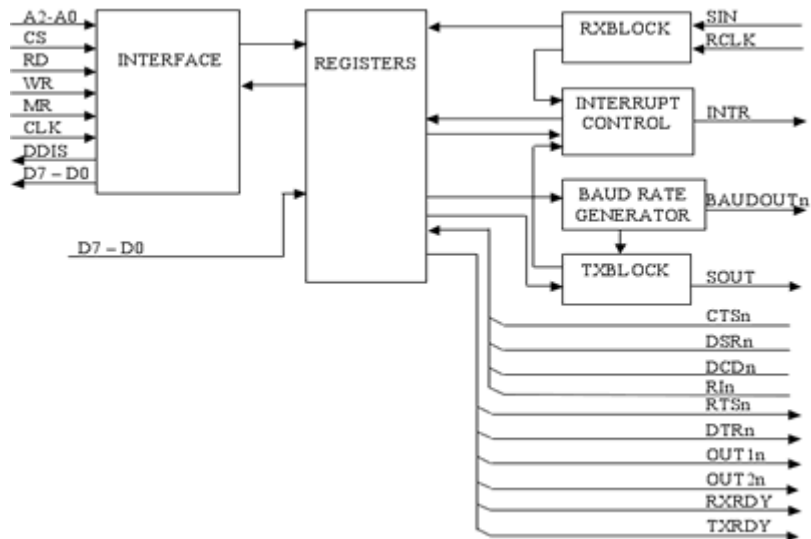


Figure 6. Bloc-diagramme du circuit intégré I 8250A

- **Les cycles** dans l'échange de l'information / des données : c'est le moindre intervalle (laps) de temps, qui puisse exister dans le fonctionnement d'un processeur donné. Tout commande où instruction peut être exécutée par plusieurs opérations (une opération est au moins un cycle du processeur donné) ;
- **Les régimes d'échange** : Les principes de base d'échange des données - les régimes d'échange, sont:

2.3.3. Echange synchrone :

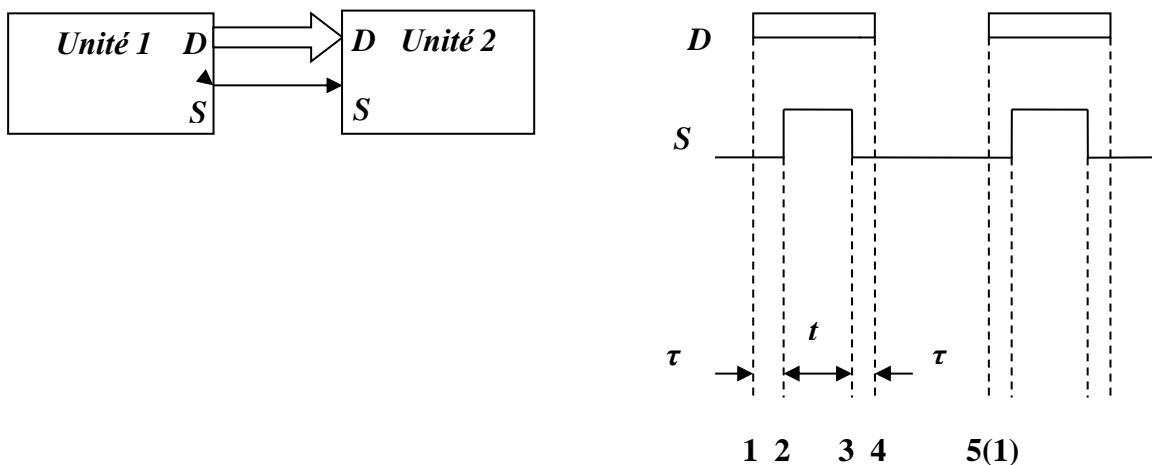


Figure 7. Echange synchrone

2.3.4. *Echange asynchrone :*

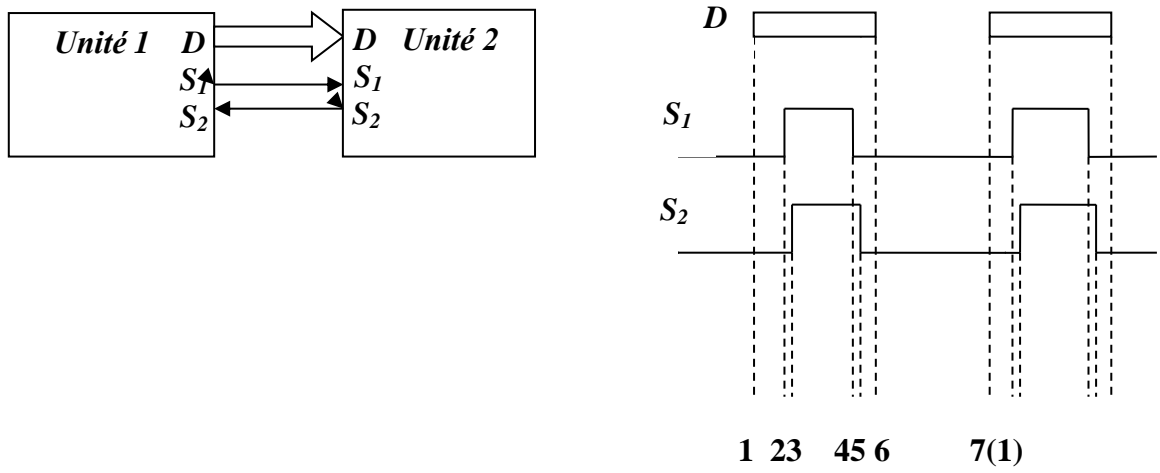


Figure 8. Echange asynchrone